

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-331004

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

H01L 23/36

H01L 21/60

H01L 23/12

(21)Application number : 08-166640

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 07.06.1996

(72)Inventor : WAKIZAKA SHINJI

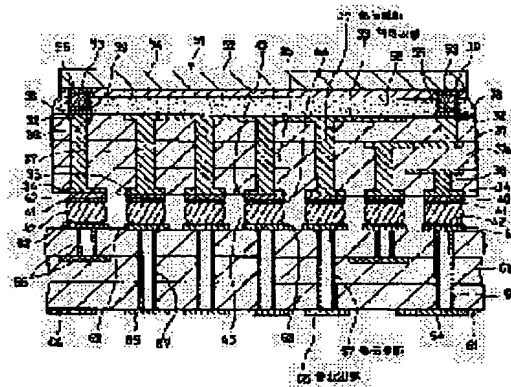
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve heat dissipation from the lower surface of a semiconductor chip mounted on a main circuit board through a sub-circuit board in a semiconductor device provided with a resin sealing material between the semiconductor chip and the sub-circuit board.

SOLUTION: A heat absorbing part 33 is provided on a sub-circuit board 31 under a semiconductor chip 51. Heat generated from the lower surface of the semiconductor chip 51 is absorbed by the heat absorbing part 33 and conducted through a heat conducting part 37 provided in the sub-circuit board 31 or a heat conducting part 67 provided in a main circuit board 61 to a heat dissipating part 65 provided on the lower surface of the main circuit board 61.

BEST AVAILABLE COPY



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by making it conduct in the thermal-emission section prepared in the bottom of said Maine circuit board through the heat-conduction section prepared in the heat-conduction section in which the semiconductor chip was set to the semiconductor device which it comes to mount on the Maine circuit board through the sub circuit board, the heat-absorptive section was prepared on said sub circuit board under said semiconductor chip, and the heat absorbed by this heat-absorptive section was formed in said sub circuit board, and said Maine circuit board.

[Claim 2] It is the semiconductor device characterized by said heat-absorptive section being a solid configuration corresponding to the active area of said semiconductor chip mostly in invention according to claim 1.

[Claim 3] It is the semiconductor device characterized by the flat-surface size of said sub circuit board being almost the same as the flat-surface size of said semiconductor chip in invention according to claim 1 or 2.

[Claim 4] It is the semiconductor device characterized by for said heat-absorptive section to consist of the same ingredient as the connection pad prepared on said sub circuit board in invention according to claim 1 to 3, for the heat-conduction section of said sub circuit board to consist of the same ingredient as the internal flow section prepared in said sub circuit board, and for the heat-conduction section of said Maine circuit board to consist of the same ingredient as the internal flow section prepared in said Maine circuit board.

[Claim 5] The semiconductor device characterized by preparing the resin sealing agent between said semiconductor chips and said sub circuit boards in invention according to claim 1 to 4.

[Claim 6] It is the semiconductor device characterized by connecting said heat-absorptive section to the grand potential electrode of said semiconductor chip in invention according to claim 1 to 5.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which comes to mount a semiconductor chip on the Maine circuit board through the sub circuit board especially about a semiconductor device.

[0002]

[Description of the Prior Art] For example, in the mounting technology of the semiconductor chip which consists of LSI called a flip chip method, the semiconductor chip is mounted on the circuit board by joining two or more bumps prepared in the inferior surface of tongue of a semiconductor chip, respectively to two or more connection pads in which it was prepared on the top face of the circuit board. By the way, generally, a semiconductor chip is a rectangular parallelepiped configuration and has the structure where array formation of two or more bumps was carried out at the periphery of the field of 1. Therefore, the array patterns (a bump's array location, a bump's size, a bump's array pitch, etc.) of the bump of a semiconductor chip cannot be changed into a user side.

[0003] So, by the former, in order to solve the above troubles, the approach which does not mount a semiconductor chip directly on the circuit board (Maine circuit board), but is mounted through the sub circuit board is considered. Drawing 6 shows an example of such a conventional semiconductor device. The sub circuit board 1 consists of what carried out the laminating of the ceramic substrate of two or more sheets (it is the same three-sheet and the following as example) 1a. As shown in drawing 7, array formation of the 1st connection pad [two or more (a total of 42 pieces)] 2 which carries out baking hardening of silver and the mixed paste of palladium, and becomes is carried out at the top-face periphery of this sub circuit board 1. As shown in the whole inferior surface of tongue of the sub circuit board 1 at drawing 8, array formation of the 2nd connection pad [two or more (42 pieces)] 3 which carries out baking hardening of silver and the mixed paste of palladium, and becomes is carried out at the shape of a grid (six-line seven trains). Those in which the 1st connection pad 2 and the 2nd connection pad 3 carry out phase correspondence are connected through the internal flow section 4 which comes to carry out baking hardening of the silver and the mixed paste of palladium which were formed in the sub circuit board 1, respectively. The nickel-plating layer 5 and the gold plate layer 6 are formed in the top face of the 1st connection pad 2 in this order. The nickel-plating layer 7, the gold plate layer 8, and the pewter bump 9 are formed in the inferior surface of tongue of the 2nd connection pad 3 in this order.

[0004] The semiconductor chip 11 has the structure where array formation of the connection pad [two or more (a total of 42 pieces)] 13 was carried out, the protective coat 14 was formed in the whole inferior surface of tongue of the body 12 of a chip except the connection pad 13 at the inferior-surface-of-tongue periphery of the body 12 of a chip, and the pewter bump 15 was formed in the bottom of the exposure of the connection pad 13. And the semiconductor chip 11 is carried on the sub circuit board 1 by joining the pewter bump 15 to the gold plate layer 6 on the 1st [of the sub circuit board 1] connection pad 2. In this case, between a semiconductor chip 11 and the sub circuit board 1, the resin sealing agent 16 which consists of an epoxy resin etc. is formed. This resin sealing agent 16 is for mainly protecting the active area surrounded with the connection pad 13 of the inferior surface of tongue of a semiconductor chip 11 from contamination, breakage, etc. from an external ambient atmosphere.

[0005] The Maine circuit board 21 consists of what carried out the laminating of the two or more glass epoxy group plates (three sheets) 21a. Array formation of the connection pad [two or more (42 pieces)] 22 which comes to etch copper foil into the predetermined part of the top face of this Maine circuit board 21 is carried out at the shape of a grid (six-line seven trains). The predetermined circuit pattern 23 which comes to etch copper foil is formed in the inferior surface of tongue of the Maine circuit board 21. The connection pad 22 and the circuit pattern 23 are connected through the internal flow section 24 which consists of plating formed in the Maine circuit board 21. And the sub circuit board 1 is carried on the Maine circuit board 21 by joining the pewter bump 9 to the connection pad 22 of the Maine circuit board 21. Thereby, the semiconductor chip 11 is mounted on the Maine circuit board 21 through the sub circuit board 1.

[0006] Thus, since a semiconductor chip 11 is carried on the sub circuit board 1 and the pewter bump 9 is formed in the bottom of two or more 2nd connection pads 3 by which array formation was carried out on the whole inferior surface of tongue of the sub circuit board 1 at the shape of a grid in this semiconductor device Even if it cannot change the array pattern of the pewter bump 15 of a semiconductor chip 11, the array pattern of the pewter bump 9 of the sub circuit board 1 can be changed freely, therefore a substantial bump's array pattern can be changed. In this case, the flat-surface size of the sub circuit board 1 is almost the same as the flat-surface size of a semiconductor chip 11. The combination of such the sub circuit board 1 and a semiconductor chip 11 is called CSP (chip size package).

[0007]

[Problem(s) to be Solved by the Invention] By the way, in such a conventional semiconductor device, as mentioned above, in order to protect the active area surrounded mainly with the connection pad 13 of the inferior surface of tongue of a semiconductor chip 11 from contamination, breakage, etc. from an external ambient atmosphere, the resin sealing agent 16 which consists of an epoxy resin etc. is formed between a semiconductor chip 11 and the sub circuit board 1. However,

the thermal conductivity of the resin sealing agent 16 which consists of an epoxy resin etc. is very bad. For this reason, the part of the resin sealing agent 16 was filled with the heat emitted from the active area surrounded with the connection pad 13 of the inferior surface of tongue of a semiconductor chip 11, and there was a problem that it might originate in this heat with which were filled, and a semiconductor chip 11 might malfunction. The technical problem of this invention is improving heat dissipation nature of the heat emitted from the inferior surface of tongue of a semiconductor chip.

[0008]

[Means for Solving the Problem] It is made conduct this invention in the thermal-emission section prepared in the bottom of said Maine circuit board through the heat-conduction section prepared in the heat-conduction section in which the semiconductor chip was set to the semiconductor device which it comes to mount on the Maine circuit board through the sub circuit board, the heat-absorptive section was prepared on said sub circuit board under said semiconductor chip, and the heat absorbed by this heat-absorptive section was formed in said sub circuit board, and said Maine circuit board.

[0009] Since the heat to emit can be conducted in the thermal emission section under the Maine circuit board through the heat-absorptive section on the sub circuit board, the heat-conduction section in the sub circuit board, and the heat-conduction section in the Maine circuit board from the inferior surface of tongue of a semiconductor chip according to this invention, heat dissipation nature of the heat emitted from the inferior surface of tongue of a semiconductor chip can be improved.

[0010]

[Embodiment of the Invention] Drawing 1 shows the semiconductor device in the 1st operation gestalt of this invention. The sub circuit board 31 consists of what carried out the laminating of the ceramic substrate of two or more sheets (three sheets) 31a. As shown in drawing 2, the heat-absorptive section 33 of the square configuration (solid configuration) which array formation of the 1st connection pad [two or more (a total of 42 pieces)] 32 which carries out baking hardening of silver and the mixed paste of palladium, and becomes a periphery is carried out, and comes to carry out baking hardening of silver and the mixed paste of palladium as well as the center section of that inside is formed in the top face of this sub circuit board 31. As shown in the whole inferior surface of tongue of the sub circuit board 31 at drawing 3, array formation of the 2nd connection pad [two or more (42 pieces)] 34 which carries out baking hardening of silver and the mixed paste of palladium, and becomes, and the dummy connection pad [two or more (seven pieces)] 35 is carried out at the shape of a grid (seven-line seven trains). In this case, although the arrangement location of the 2nd connection pad 34 and the dummy connection pad 35 can be selected suitably, since it explains later, the heat-absorptive section 33 and a corresponding location are desirable [the arrangement location of the dummy connection pad 35]. Those in which the 1st connection pad 32 and the 2nd connection pad 34 carry out phase correspondence are connected through the internal flow section 36 which comes to carry out baking hardening of the silver and the mixed paste of palladium which were formed in the sub circuit board 31, respectively. The heat-absorptive section 33 and the dummy connection pad [all (seven pieces)] 35 are connected through the heat-conduction section 37 which was formed in the sub circuit board 31 and which similarly comes to carry out baking hardening of silver and the mixed paste of palladium. In this case, if the arrangement location of the dummy connection pad 35 is made into the heat-absorptive section 33 and a corresponding location, that die length can be made into min by making the heat-conduction section 37 into the shape of a straight line. The nickel-plating layer 38 and the gold plate layer 39 are formed in the top face of the 1st connection pad 32 in this order. The nickel-plating layer 40, the gold plate layer 41, and the pewter bump 42 are formed in the inferior surface of tongue of the 2nd connection pad 34 in this order. The nickel-plating layer 43, the gold plate layer 44, and the dummy pewter bump 45 are formed in the inferior surface of tongue of the dummy connection pad 35 in this order.

[0011] A semiconductor chip 51 is the same as the conventional case, and has the structure where array formation of the connection pad [two or more (a total of 42 pieces)] 53 was carried out, the protective coat 54 was formed in the whole inferior surface of tongue of the body 52 of a chip except the connection pad 53 at the inferior-surface-of-tongue periphery of the body 52 of a chip, and the pewter bump 55 was formed in the bottom of the exposure of the connection pad 53. And the semiconductor chip 51 is carried on the sub circuit board 31 by joining the pewter bump 55 to the gold plate layer 39 on the 1st [of the sub circuit board 31] connection pad 32. In this condition, the heat-absorptive section 33 is arranged in the active area surrounded with the connection pad 53 of the inferior surface of tongue of a semiconductor chip 51, and the location which counters mostly. Moreover, between a semiconductor chip 51 and the sub circuit board 31, the resin sealing agent 56 which consists of an epoxy resin etc. is formed. Also in this case, since the flat-surface size of the sub circuit board 31 is almost the same as the flat-surface size of a semiconductor chip 51, this part serves as CSP.

[0012] The Maine circuit board 61 consists of what carried out the laminating of the two or more glass epoxy group plates (three sheets) 61a. Array formation of the connection pad [two or more (42 pieces)] 62 which comes to etch copper foil into the predetermined part of the top face of this Maine circuit board 61, and the dummy connection pad [two or more (seven pieces)] 63 is carried out at the shape of a grid (seven-line seven trains). The predetermined circuit pattern 64 which comes to etch copper foil, and the thermal emission section [two or more (seven pieces)] 65 are formed in the inferior surface of tongue of the Maine circuit board 61. Although the arrangement location of a circuit pattern 64 and the thermal emission section 65 can be suitably selected also in this case, since it explains later, the heat-absorptive section 33 and the corresponding location of the arrangement location of the thermal emission section 65 are desirable. The connection pad 62 and the circuit pattern 64 are connected through the internal flow section 66 which consists of plating formed in the Maine circuit board 61. The dummy connection pad 63 and the thermal emission section 65 are connected through the heat-conduction section 67 which consists of plating formed in the Maine circuit board 61. If the arrangement location of the thermal emission section 65 is made into the heat-absorptive section 33 and a corresponding location also in this case, that die length can be made into min by making the heat-conduction section 67 into the shape of a straight line. And the sub circuit board 31 is carried on the Maine circuit board 61 by joining the pewter bump 42 to the connection pad 62 of the Maine circuit board 61, and joining the dummy pewter bump 45 to the dummy connection pad 63 of the Maine circuit board 61. Thereby, the semiconductor chip 51 is mounted on the Maine circuit board 61 through the sub circuit board 31.

[0013] By the way, in this semiconductor device, the heat-absorptive section 33 on the sub circuit board 31 is connected to the thermal emission section 65 under the Maine circuit board 61 through the heat-conduction section 37 of the sub circuit board 31, the dummy connection pad 35, dummy pewter bump 45 grade and the dummy connection pad 63 of the Maine circuit board 61, and the heat-conduction section 67. And the heat-absorptive section 33 is arranged in the active area surrounded with the connection pad 53 of the inferior surface of tongue of a semiconductor chip 51, and the location which counters mostly. For this reason, after the heat emitted from the active area surrounded with the connection pad 53 of the inferior surface of tongue of a semiconductor chip 51 is absorbed promptly and efficiently by the heat-absorptive section 33, it will be conducted in the thermal emission section 65 through the heat-conduction section 37 of the sub circuit board 31, the dummy connection pad 35, dummy pewter bump 45 grade and the dummy connection pad 63 of the Maine circuit board 61, and the heat-conduction section 67, and will be emitted from this thermal emission section 65. Therefore, heat dissipation nature of the heat emitted from the inferior surface of tongue of a semiconductor chip 51 can be improved, and it can be hard to produce malfunction which originates in a semiconductor chip 51 at heat.

[0014] In addition, although the above-mentioned 1st operation gestalt explained the case where two or more thermal emission sections 65 were formed in the inferior surface of tongue of the Maine circuit board 61, it is not limited to this. For example, you may make it form the one thermal emission section 65 which follows the inferior surface of tongue of the Maine circuit board 61 like the 2nd operation gestalt shown in drawing 4 . Since the area of the thermal emission section 65 becomes large when it does in this way, heat dissipation nature can be improved more. In addition, if the thermal emission section 65 is made larger in area than the case of the above-mentioned 1st operation gestalt also as the shape of a mesh, plate-like [which have opening partially], of course, heat dissipation nature can be improved more.

[0015] Moreover, although the above-mentioned 1st operation gestalt explained the case where the heat-absorptive section 33 prepared on the sub circuit board 31 was not contributed to electrical installation as a condition which floated electrically on the sub circuit board 31, it is not limited to this. For example, you may make it connect the heat-absorptive section 33 to grand potential electrode 53a of a semiconductor chip 51 by connecting the heat-absorptive section 33 to 1st connection pad 32a of the sub circuit board 31 joined to pewter bump 55a formed in the inferior surface of tongue of grand potential electrode 53a of the connection pads 53 of a semiconductor chip 51 like the 3rd operation gestalt shown in drawing 5 . Since the conductor-side product used as grand wiring increases when it does in this way, the resistance of grand wiring will fall, noise-proof nature will become good, and actuation of a semiconductor chip 51 will be stabilized more. In this case, one piece of the thermal emission section 65 of the inferior surface of tongue of the Maine circuit board 61 which continues rather than it divides separately is more desirable.

[0016] Moreover, although the above-mentioned 1st operation gestalt explained the case where the pewter bump 55 of a semiconductor chip 51 was joined to the gold plate layer 39 on the 1st [of the sub circuit board 31] connection pad 32, it is not limited to this. For example, although not illustrated, a golden bump is prepared in a semiconductor chip 51, and you may make it join this golden bump to the gold plate layer 39 on the 1st [of the sub circuit board 31] connection pad 32. Moreover, of course, it is good also as metal suitable distance golden junction of not only golden-golden junction such but others. Moreover, not only a ceramic substrate but a glass epoxy group plate etc. may be used for the sub circuit board 31, and flexible substrates, such as a polyimide substrate, may be used for it. Furthermore, the combination of a semiconductor chip 51 and the sub circuit board 31 is good also as not only CSP but BGA (ball grid array), LGA (land grid array), etc.

[0017]

[Effect of the Invention] Since heat dissipation nature of the heat emitted from the inferior surface of tongue of a semiconductor chip can be improved according to this invention as explained above, it can be hard to produce malfunction resulting from heat in a semiconductor chip.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor device in the 1st operation gestalt of this invention.

[Drawing 2] The top view which omitted a part of sub circuit board shown in drawing 1 .

[Drawing 3] The bottom view which omitted a part of sub circuit board shown in drawing 1 .

[Drawing 4] The sectional view of the semiconductor device in the 2nd operation gestalt of this invention.

[Drawing 5] The sectional view of the semiconductor device in the 3rd operation gestalt of this invention.

[Drawing 6] The sectional view of an example of the conventional semiconductor device.

[Drawing 7] The top view which omitted a part of sub circuit board shown in drawing 6 .

[Drawing 8] The bottom view which omitted a part of sub circuit board shown in drawing 6 .

[Description of Notations]

31 Sub Circuit Board

33 Heat-absorptive Section

35 Dummy Connection Pad

37 Heat-Conduction Section

45 Dummy Pewter Bump

51 Semiconductor Chip

56 Resin Sealing Agent

61 Main Circuit Board

63 Dummy Connection Pad

65 Thermal Emission Section

67 Heat-Conduction Section

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-331004

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/36			H 0 1 L 23/36	D
21/60	3 1 1		21/60	3 1 1 S
23/12			23/12	J

審査請求 未請求 請求項の数6 F D (全 6 頁)

(21) 出願番号 特願平8-166640

(22) 出願日 平成8年(1996)6月7日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 脇坂 伸治

東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

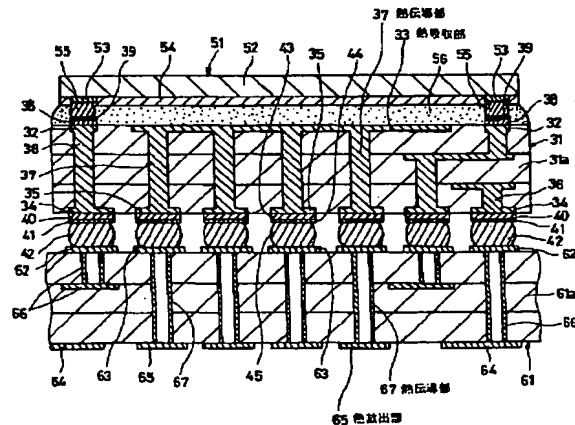
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップをサブ回路基板を介してメイン回路基板上に実装するとともに、半導体チップとサブ回路基板との間に樹脂封止材を設けてなる半導体装置において、半導体チップの下面から発する熱の放熱性を良くする。

【解決手段】 半導体チップ51下におけるサブ回路基板31上には熱吸収部33が設けられている。そして、半導体チップ51の下面から発する熱は、熱吸収部33に吸収された後、サブ回路基板31内に設けられた熱伝導部37やメイン回路基板61内に設けられた熱伝導部67等を介してメイン回路基板61の下面に設けられた熱放出部65に伝導される。



【特許請求の範囲】

【請求項1】 半導体チップをサブ回路基板を介してメイン回路基板上に実装してなる半導体装置において、前記半導体チップ下における前記サブ回路基板上に熱吸収部を設け、この熱吸収部に吸収された熱を前記サブ回路基板内に設けられた熱伝導部及び前記メイン回路基板内に設けられた熱伝導部を介して前記メイン回路基板下に設けられた熱放出部に伝導するようにしたことを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記熱吸収部は前記半導体チップのアクティブエリアにほぼ対応するベタ形状であることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の発明において、前記サブ回路基板の平面サイズは前記半導体チップの平面サイズとはほぼ同じであることを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれかに記載の発明において、前記熱吸収部は前記サブ回路基板上に設けられた接続パッドと同一の材料からなり、前記サブ回路基板の熱伝導部は前記サブ回路基板内に設けられた内部導通部と同一の材料からなり、前記メイン回路基板の熱伝導部は前記メイン回路基板内に設けられた内部導通部と同一の材料からなることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれかに記載の発明において、前記半導体チップと前記サブ回路基板との間に樹脂封止材が設けられていることを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれかに記載の発明において、前記熱吸収部は前記半導体チップのグランド電位電極に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置に関し、特に、半導体チップをサブ回路基板を介してメイン回路基板上に実装してなる半導体装置に関する。

【0002】

【従来の技術】例えばフリップチップ方式と呼ばれるLSI等からなる半導体チップの実装技術では、半導体チップの下面に設けられた複数のパンプを回路基板の上面に設けられた複数の接続パッドにそれぞれ接合することにより、半導体チップを回路基板上に実装している。ところで、半導体チップは、一般的に、直方体形状であって、その一の面の周辺部に複数のパンプが配列形成された構造となっている。したがって、ユーザー側において、半導体チップのパンプの配列パターン（パンプの配列位置、パンプのサイズ、パンプの配列ピッチ等）を変更することはできない。

【0003】そこで、従来では、以上のような問題点を解決するために、半導体チップを回路基板（メイン回路基板）上に直接実装するのではなく、サブ回路基板を介

して実装する方法が考えられている。図6は従来のこのような半導体装置の一例を示したものである。サブ回路基板1は複数枚（一例として3枚、以下同じ）のセラミック基板1aを積層したものからなっている。このサブ回路基板1の上面周辺部には、図7に示すように、銀とパラジウムの混合ペーストを焼成硬化してなる複数個（合計42個）の第1の接続パッド2が配列形成されている。サブ回路基板1の下面全体には、図8に示すように、銀とパラジウムの混合ペーストを焼成硬化してなる複数個（42個）の第2の接続パッド3が格子状（6行7列）に配列形成されている。第1の接続パッド2と第2の接続パッド3の相対するもの同士は、それぞれ、サブ回路基板1内に形成された、銀とパラジウムの混合ペーストを焼成硬化してなる内部導通部4を介して接続されている。第1の接続パッド2の上面にはニッケルメッキ層5及び金メッキ層6がこの順で形成されている。第2の接続パッド3の下面にはニッケルメッキ層7、金メッキ層8及びハンダバンプ9がこの順で形成されている。

【0004】半導体チップ11は、チップ本体12の下面周辺部に複数個（合計42個）の接続パッド13が配列形成され、接続パッド13を除くチップ本体12の下面全体に保護膜14が形成され、接続パッド13の露出面下にハンダバンプ15が形成された構造となっている。そして、半導体チップ11は、そのハンダバンプ15をサブ回路基板1の第1の接続パッド2上の金メッキ層6に接合されていることにより、サブ回路基板1上に搭載されている。この場合、半導体チップ11とサブ回路基板1との間にはエポキシ樹脂等からなる樹脂封止材16が設けられている。この樹脂封止材16は、主として、半導体チップ11の下面の接続パッド13によって囲まれたアクティブエリアを外部雰囲気からの汚染や破壊等から保護するためのものである。

【0005】メイン回路基板21は複数枚（3枚）のガラスエポキシ基板21aを積層したものからなっている。このメイン回路基板21の上面の所定の個所には銅箔をエッチングしてなる複数個（42個）の接続パッド22が格子状（6行7列）に配列形成されている。メイン回路基板21の下面には銅箔をエッチングしてなる所定の配線パターン23が形成されている。接続パッド22と配線パターン23とは、メイン回路基板21内に形成されたメッキ等からなる内部導通部24を介して接続されている。そして、サブ回路基板1は、そのハンダバンプ9をメイン回路基板21の接続パッド22に接合されていることにより、メイン回路基板21上に搭載されている。これにより、半導体チップ11はサブ回路基板1を介してメイン回路基板21上に実装されている。

【0006】このように、この半導体装置では、半導体チップ11をサブ回路基板1上に搭載し、サブ回路基板1の下面全体に格子状に配列形成された複数個の第2の

接続パッド3下にハンダバンプ9を形成しているので、半導体チップ11のハンダバンプ15の配列パターンを変更することができなくとも、サブ回路基板1のハンダバンプ9の配列パターンを自由に変更することができ、したがって実質的なバンプの配列パターンを変更することができる。この場合、サブ回路基板1の平面サイズは半導体チップ11の平面サイズとほぼ同じとなっている。このようなサブ回路基板1と半導体チップ11の組み合わせは、CSP(chip size package)と呼ばれている。

【0007】

【発明が解決しようとする課題】ところで、従来のこのような半導体装置では、上述したように、主として半導体チップ11の下面の接続パッド13によって囲まれたアクティブエリアを外部雰囲気からの汚染や破損等から保護するために、半導体チップ11とサブ回路基板1との間にエポキシ樹脂等からなる樹脂封止材16を設けている。しかるに、エポキシ樹脂等からなる樹脂封止材16の熱伝導性はきわめて悪い。このため、半導体チップ11の下面の接続パッド13によって囲まれたアクティブエリアから発する熱が樹脂封止材16の部分にこもり、このこもった熱に起因して半導体チップ11が誤動作することがあるという問題があった。この発明の課題は、半導体チップの下面から発する熱の放熱性を良くすることである。

【0008】

【課題を解決するための手段】この発明は、半導体チップをサブ回路基板を介してメイン回路基板上に実装してなる半導体装置において、前記半導体チップ下における前記サブ回路基板上に熱吸収部を設け、この熱吸収部に吸収された熱を前記サブ回路基板内に設けられた熱伝導部及び前記メイン回路基板内に設けられた熱伝導部を介して前記メイン回路基板下に設けられた熱放出部に伝導するようにしたものである。

【0009】この発明によれば、半導体チップの下面から発する熱をサブ回路基板上の熱吸収部、サブ回路基板内の熱伝導部及びメイン回路基板内の熱伝導部を介してメイン回路基板下の熱放出部に伝導することができるので、半導体チップの下面から発する熱の放熱性を良くすることができる。

【0010】

【発明の実施の形態】図1はこの発明の第1実施形態における半導体装置を示したものである。サブ回路基板31は複数枚(3枚)のセラミック基板31aを積層したものからなっている。このサブ回路基板31の上面には、図2に示すように、周辺部に銀とパラジウムの混合ペーストを焼成硬化してなる複数個(合計42個)の第1の接続パッド32が配列形成され、その内側の中央部に同じく銀とパラジウムの混合ペーストを焼成硬化してなる正形状(ベタ形状)の熱吸収部33が形成されて

いる。サブ回路基板31の下面全体には、図3に示すように、銀とパラジウムの混合ペーストを焼成硬化してなる複数個(42個)の第2の接続パッド34と複数個(7個)のダミー接続パッド35とが格子状(7行7列)に配列形成されている。この場合、第2の接続パッド34とダミー接続パッド35の配置位置は適宜に選定することができるが、後で説明する理由から、ダミー接続パッド35の配置位置は熱吸収部33と対応する位置が望ましい。第1の接続パッド32と第2の接続パッド34の相対応するもの同士は、それぞれ、サブ回路基板31内に形成された、銀とパラジウムの混合ペーストを焼成硬化してなる内部導通部36を介して接続されている。熱吸収部33とすべて(7個)のダミー接続パッド35は、サブ回路基板31内に形成された、同じく銀とパラジウムの混合ペーストを焼成硬化してなる熱伝導部37を介して接続されている。この場合、ダミー接続パッド35の配置位置を熱吸収部33と対応する位置としておくと、熱伝導部37を直線状とすることにより、その長さを最小とすることができる。第1の接続パッド32の上面にはニッケルメッキ層38及び金メッキ層39がこの順で形成されている。第2の接続パッド34の下面にはニッケルメッキ層40、金メッキ層41及びハンダバンプ42がこの順で形成されている。ダミー接続パッド35の下面にはニッケルメッキ層43、金メッキ層44及びダミーハンダバンプ45がこの順で形成されている。

【0011】半導体チップ51は、従来の場合と同じであって、チップ本体52の下面周辺部に複数個(合計42個)の接続パッド53が配列形成され、接続パッド53を除くチップ本体52の下面全体に保護膜54が形成され、接続パッド53の露出面下にハンダバンプ55が形成された構造となっている。そして、半導体チップ51は、そのハンダバンプ55をサブ回路基板31の第1の接続パッド32上の金メッキ層39に接合されていることにより、サブ回路基板31上に搭載されている。この状態では、熱吸収部33は、半導体チップ51の下面の接続パッド53によって囲まれたアクティブエリアとほぼ対向する位置に配置されている。また、半導体チップ51とサブ回路基板31の間にはエポキシ樹脂等からなる樹脂封止材56が設けられている。この場合も、サブ回路基板31の平面サイズは半導体チップ51の平面サイズとほぼ同じとなっているので、この部分はCSPとなっている。

【0012】メイン回路基板61は複数枚(3枚)のガラスエポキシ基板61aを積層したものからなっている。このメイン回路基板61の上面の所定の個所には銅箔をエッチングしてなる複数個(42個)の接続パッド62と複数個(7個)のダミー接続パッド63とが格子状(7行7列)に配列形成されている。メイン回路基板61の下面には銅箔をエッチングしてなる所定の配線パ

ターン64と複数個(7個)の熱放出版65とが形成されている。この場合も、配線パターン64と熱放出版65の配置位置は適宜に選定することができるが、後で説明する理由から、熱放出版65の配置位置は熱吸収部33と対応する位置が望ましい。接続パッド62と配線パターン64とは、メイン回路基板61内に形成されたメッキ等からなる内部導通部66を介して接続されている。ダミー接続パッド63と熱放出版65とは、メイン回路基板61内に形成されたメッキ等からなる熱伝導部67を介して接続されている。この場合も、熱放出版65の配置位置を熱吸収部33と対応する位置としておくと、熱伝導部67を直線状とすることにより、その長さを最小とすることができる。そして、サブ回路基板31は、そのハンダバンプ42をメイン回路基板61の接続パッド62に接合され、かつそのダミーハンダバンプ45をメイン回路基板61のダミー接続パッド63に接合されていることにより、メイン回路基板61上に搭載されている。これにより、半導体チップ51はサブ回路基板31を介してメイン回路基板61上に実装されている。

【0013】ところで、この半導体装置では、サブ回路基板31上の熱吸収部33は、サブ回路基板31の熱伝導部37、ダミー接続パッド35、ダミーハンダバンプ45等及びメイン回路基板61のダミー接続パッド63、熱伝導部67を介して、メイン回路基板61下の熱放出版65に接続されている。しかも、熱吸収部33は、半導体チップ51の下面の接続パッド53によって囲まれたアクティブエリアとはほぼ対向する位置に配置されている。このため、半導体チップ51の下面の接続パッド53によって囲まれたアクティブエリアから発する熱は、熱吸収部33に速やかにかつ効率良く吸収された後、サブ回路基板31の熱伝導部37、ダミー接続パッド35、ダミーハンダバンプ45等及びメイン回路基板61のダミー接続パッド63、熱伝導部67を介して熱放出版65に伝導され、この熱放出版65から放出されることになる。したがって、半導体チップ51の下面から発する熱の放熱性を良くすることができ、半導体チップ51に熱に起因する誤動作が生じにくいようにすることができる。

【0014】なお、上記第1実施形態では、メイン回路基板61の下面に複数個の熱放出版65を設けた場合について説明したが、これに限定されるものではない。例えば、図4に示す第2実施形態のように、メイン回路基板61の下面に連続する1個の熱放出版65を設けるようにしてもよい。このようにした場合には、熱放出版65の面積が大きくなるので、放熱性をより良くすることができる。なお、熱放出版65をメッシュ状や部分的に開口部を有する平板状等としても、上記第1実施形態の場合よりも面積を大きくすれば、放熱性をより良くすることができることはもちろんである。

【0015】また、上記第1実施形態では、サブ回路基板31上に設けた熱吸収部33をサブ回路基板31上において電氣的に浮いた状態として、電氣的接続に寄与していない場合について説明したが、これに限定されるものではない。例えば、図5に示す第3実施形態のように、半導体チップ51の接続パッド53のうちのグランド電位電極53aの下面に形成されたハンダバンプ55aに接合されたサブ回路基板31の第1の接続パッド32aに熱吸収部33を接続させることにより、熱吸収部33を半導体チップ51のグランド電位電極53aに接続させるようにしてもよい。このようにした場合には、グランド配線となる導体面積が増大するので、グランド配線の抵抗値が下がり、耐ノイズ性が良くなり、半導体チップ51の動作がより安定することになる。この場合、メイン回路基板61の下面の熱放出版65は個々に分割するよりも連続する1個の方が望ましい。

【0016】また、上記第1実施形態では、半導体チップ51のハンダバンプ55をサブ回路基板31の第1の接続パッド32上の金メッキ層39に接合した場合について説明したが、これに限定されるものではない。例えば、図示していないが、半導体チップ51に金バンプを設け、この金バンプをサブ回路基板31の第1の接続パッド32上の金メッキ層39に接合するようにしてもよい。また、このような金-金接合に限らず、その他の金属間合金接合としてもよいことはもちろんである。また、サブ回路基板31は、セラミック基板に限らず、ガラスエポキシ基板等を用いてもよく、またポリイミド基板等のフレキシブル基板を用いてもよい。さらに、半導体チップ51とサブ回路基板31との組み合わせは、CSPに限らず、BGA(ball grid array)やLGA(land grid array)等としてもよい。

【0017】

【発明の効果】以上説明したように、この発明によれば、半導体チップの下面から発する熱の放熱性を良くすることができるので、半導体チップに熱に起因する誤動作が生じにくいようにすることができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の断面図。

【図2】図1に示すサブ回路基板の一部を省略した平面図。

【図3】図1に示すサブ回路基板の一部を省略した底面図。

【図4】この発明の第2実施形態における半導体装置の断面図。

【図5】この発明の第3実施形態における半導体装置の断面図。

【図6】従来の半導体装置の一例の断面図。

【図7】図6に示すサブ回路基板の一部を省略した平面図。

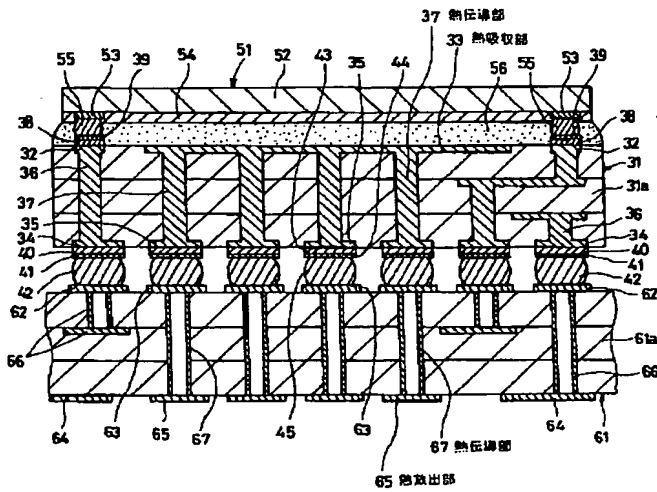
【図8】図6に示すサブ回路基板の一部を省略した底面図。

【符号の説明】

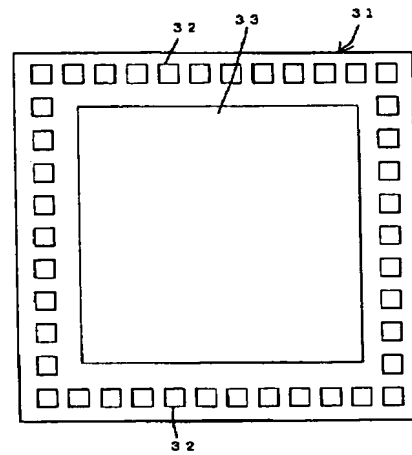
31 サブ回路基板
33 熱吸収部
35 ダミー接続パッド
37 熱伝導部

* 45 ダミーハンダバンプ
51 半導体チップ
56 樹脂封止材
61 メイン回路基板
63 ダミー接続パッド
65 熱放出部
* 67 熱伝導部

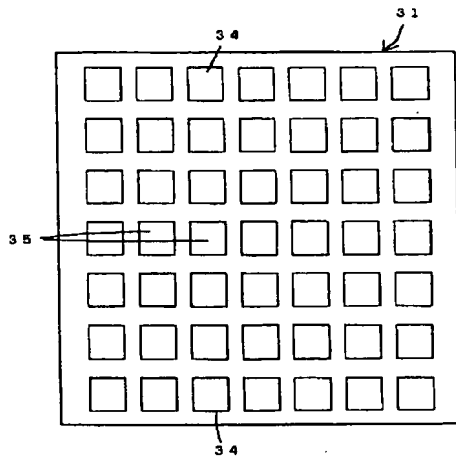
【図1】



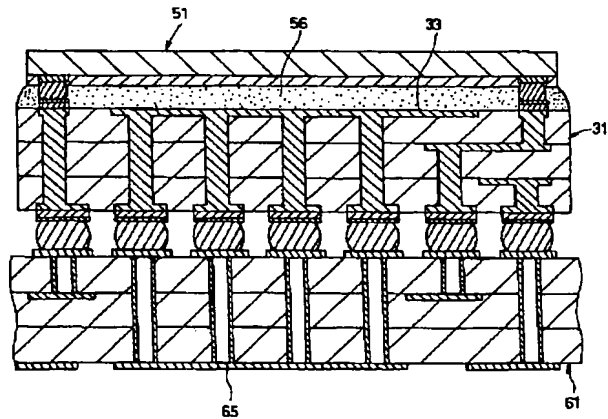
【図2】



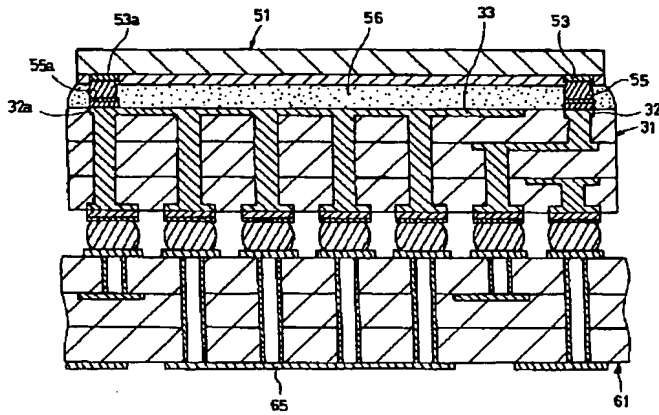
【図3】



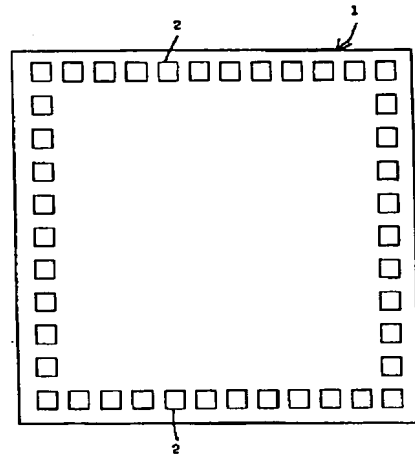
【図4】



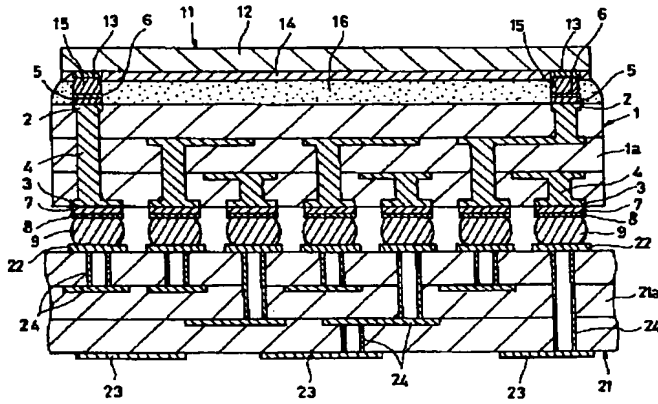
【図5】



【図7】



【図6】



【図8】

